

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 01134956
PUBLICATION DATE : 26-05-89

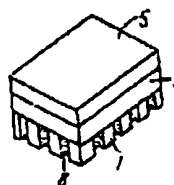
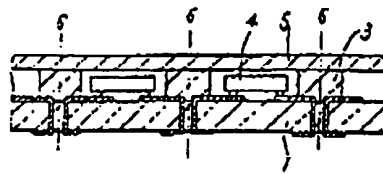
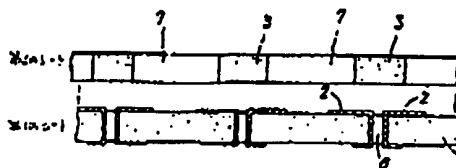
APPLICATION DATE : 20-11-87
APPLICATION NUMBER : 62292007

APPLICANT : HITACHI LTD;

INVENTOR : IIZAKA SUSUMU;

INT.CL. : H01L 23/08 H01L 21/78

TITLE : ASSEMBLY OF SEMICONDUCTOR
DEVICE



ABSTRACT : PURPOSE: To make possible a significant reduction in manhour, an increase in a fine processing and a low cost by a method wherein the assembly and sealing of pellet, which have been performed by individual packages, are disposed simultaneously by a multitude of packages.

CONSTITUTION: Electrodes are formed on the surface of a ceramic sheet 1 with penetrated holes bored therein along scribing lines by such a means as printing or deposition. A second green sheet 3 with a plurality of element housing windows 7 bored therein is prepared. The sheet 3 is superposed on the sheet 1 to sinter integrally and a multilayer ceramic sheet is formed. The electrode side of IC pellets 4 is faced downward and a face down bonding is performed on the electrodes 2 on the sheet 1. A cap sheet 5 is superposed and bonded on the sheet through a glass or the like. The 3-layer ceramic sheet is cut by laser scribing conforming to scribing lines and is separated into individual products, each including an IC. Thereby, a significant reduction in manhour, an increase in a fine processing and a low cost become possible.

COPYRIGHT: (C)1989,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平1-134956

⑫ Int. Cl.⁴

H 01 L 23/08
21/78

識別記号

庁内整理番号

C-6835-5F
Q-6831-5F

⑬ 公開 平成1年(1989)5月26日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置の組立方法

⑮ 特 願 昭62-292007

⑯ 出 願 昭62(1987)11月20日

⑰ 発 明 者 坂 坂 進

群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 出 願 人 株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男

外1名

明 細 書

1. 発明の名称

半導体装置の組立方法

2. 特許請求の範囲

1. スクライブ・ラインにそって通孔を配列した第1のセラミックシートの表面上に上記通孔内面を含めて電極層を形成し、この上に複数の通孔を有する第2のセラミックシートを重ねて一体に形成し、各通孔を通して半導体ペレットを上記電極層に接合し、この上にキャップとなるシートを重ねて半導体ペレットを封止したのち、重ねられたシートをレーザスクライブすることにより個々のペレットを含むセラミック封止半導体装置に分離することを特徴とする半導体装置の組立方法。

2. 上記半導体ペレットをフェイスダウン・ボンディングにより電極に接合する特許請求の範囲第1項に記載の半導体装置の組立方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の組立・封止技術に関するもので、特にLCC(Leadless Chip Carrier)に代表されるセラミックタイプ面付けICのマルチ組立及び封止作業の大幅な合理化技術に関するものである。

〔従来の技術〕

セラミックタイプの面付けICについては本出願人によるLCCパッケージの他に、京セラ(株)、崎形製陶(株)などによるセラミックパッケージが製造販売されている。これらは個々のセラミックベースに半導体チップを搭載し、キャップ部材を被せて個別に組立封止を行っている。

〔発明が解決しようとする問題〕

セラミックパッケージICは、パッケージを形成するセラミック製のベース、キャップが1つ1つの単品(1枚取り)として形成されており、半導体装置組立の後工程ではそのハンドリングが通常のリードフレームを用いたプラスチックパッケージ半導体製品に比較して難しく、作業STが高くなっている。さらに単品のベース、キャップ

は高価であり、低価低減の妨げとなっている。

本発明の目的は、このようなセラミックパッケージICの組立にマルチ組立方式を採用することによって、大幅な作業STの低減、部品材料費の低減を図ることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔問題点を解決するための手段〕

上記目的は、スクライブラインにそって通孔をあけたセラミックのシートに電極を印刷、蒸着などの手段で形成し、この上にペレットをボンディングする部位にキャビティとなる複数の通孔をあけたセラミックシートを重ねて焼結することにより一体化した多層セラミックシートを用い、各通孔を通して半導体ペレットを電極上に接続し、キャップ部材を重ねて封止した後、多層のシートをレーザスクライプして個々のペレットを含むセラミック封止体に分離することにより達成される。

〔作用〕

する。

(3) 第3図に示すようにICペレット4の電極(パンプ電極)側を下面に於いてシート上の電極2にフェイス・ダウンボンディングをする。このとき各通孔7は位置決め枠になり、かつ、第4図に示すように各枠内にペレットが収納された状態になる。

(4) 上からキャップシート5を重ねてガラス等を介して封止する。

(5) 最終第5図に示すようにスクライブラインに合わせてレーザスクライプにより3層のセラミックシートを切断し、第6図～第7図に示すように個々のICを含む半導体製品に分離する。

本実施例によれば、組立から封止乃至選別段階までマルチ組立法により行うことができ、これまでの個々のパッケージによる組立法に比して工数は約5分の1に低減することができる。また、グリーンシート状態での適用により、印刷パターンの高細化(0.1mm以下)対応が可能となり、パッケージの厚さも1.0mm以下の厚さを得ることが

上記手段によればペレットをキャビティの底孔に密とし込むだけで、ペレットと、外部電極との位置合わせができ、多数の半導体装置の組立封止が同時に能率よく行うことが可能であり、また、部品材料費の低減を図ることができる。

〔実施例〕

第1図乃至第8図は本発明の実施例を示すものであり、以下各工程にしたがって説明する。

(1) まず、第1図に示すようにスクライブライン6にそってスルーホール(通孔)8をマトリックス配列してあけた第1のグリーンシート(ベース)1を用意し、スルーホール8の内面を含み、シートの実表面にスルーホール印刷によって内部電極、外部電極パターン2を印刷する。一方、複数の素子収納用窓(キャビティ)7をあけた第2のグリーンシート(フレーム)3を用意する。さらにキャップ用のシート5を用意する。

(2) 第2図に示すように第1のグリーンシート1の上に第2のグリーンシート3を重ねて一体に焼結し、多層のセラミックシート(第3図)を形成

が可能となる素子の低価格についても個別のベース・キャップに比して低価格となる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で下記のように種々変更可であることはいふまでもない。

(1) 実施例では、スクライブラインにそったスルーホールはベースシートにのみ設けたが、中層のシート、キャップのシートにも同様にスルーホールをあけておいてもよい。第8図はこのような場合の3層のシートを使用し、レーザスクライプによって得られた1つのICを含むセラミックパッケージ製品例を示すものである。この場合、3層のシートを焼結することなくスクライブラインを確認してレーザスクライプを行うことができる。

(2) 実施例ではパンプ付ペレットを使用してフェイスダウン・ボンディングにより電極に接続する場合の例について説明したが、フェイスダウンに

特開平1-134956(3)

よらず、ペレットの上向き電極とシートの上向き電極との間をワイヤボンディングにより接続してもよく、ボンディング工程をのぞけば同様の効果が得られる。

(3) 実施例ではマトリクス状のシートの形を示したが、1列多連のシートを用い逐段組立法を行うことも可能である。

〔発明の効果〕

本発明によれば、従来、個々のパッケージで行っていたペレット組立・割止を多数のパッケージで同時に処理することができることにより、工数の大幅な低減、後細加工化、低価格が可能となるという効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すものであって、組立前のセラミックグリーンシートと各層のシートの斜視図である。

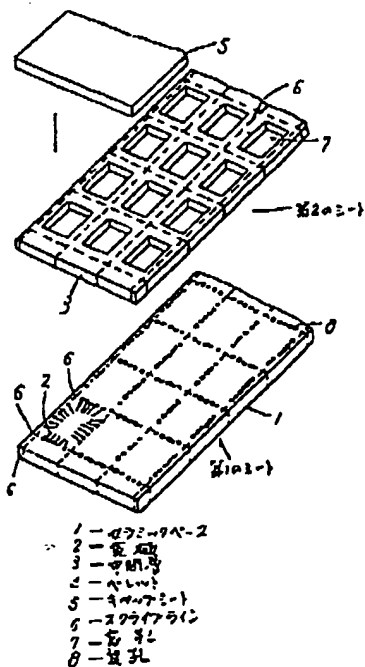
第2図乃至第6図は本発明による組立プロセスの各工程のシート及び半導体ペレットの断面図である。

第7図及び第8図はシートを切りはなした個々のセラミックパッケージ半導体装置の斜視図である。

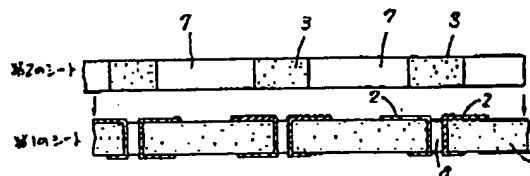
1…第1のセラミックシート（ベース）、2…包層、3…第2のセラミックシート（中間層）、4…半導体ペレット、5…スクライプライン、7…窓孔（キャビティ）、8…スルーホール（通孔）。

代理人 弁理士 小川・勝男

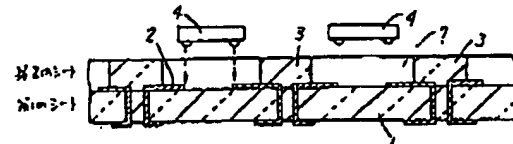
第 1 図



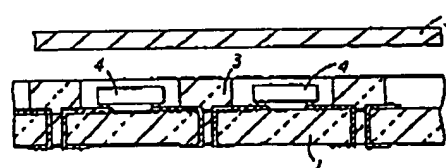
第 2 図



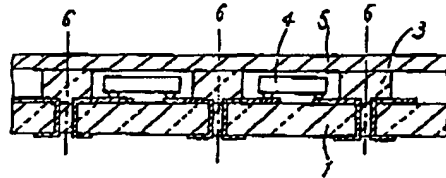
第 3 図



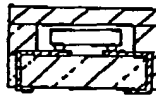
第 4 図



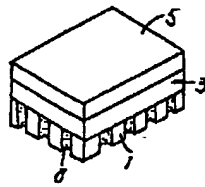
第 5 圖



第 6 圖



第 7 圖



第 8 圖

